


REFERENCE 2

Also published as:

 US6848035 (B2)

US2003033492 (A1)

合

**G06F12/08; G11C11/401; G11C11/403; G11C11/406;
G11C11/41; G06F12/08; G11C11/401; G11C11/403;
G11C11/406; G11C11/41; (IPC1-7): G11C11/406;
G06F12/08; G11C11/401; G11C11/41**

**G06F12/08; G11C11/401; G11C11/403; G11C11/406;
G11C11/41; G06F12/08; G11C11/401; G11C11/403;
G11C11/406; G11C11/41; (IPC1-7): G11C11/406;
G06F12/08; G11C11/401; G11C11/41**

G06F12/08B22; G11C11/406

JP20010240071 20010808

JP20010240071 20010808

Report a data error here

The diagram illustrates the RDRAM architecture, showing the interface between the RDRAM controller and the RDRAM memory array. The controller is divided into several functional blocks:

- Cache Memory (CACHMEM):** Contains TAGMEM and DATAMEM. TAGMEM stores TAGS (0:159) and DATA (0:159). DATAMEM stores DATA (0:159).
- Cache Controller (CACHE CTL):** Receives ADD(0:2) and outputs TAGO, TW, VBO(0), and CBO(0). It also receives MWE and MATCH signals and outputs DSEL.
- Comparator (CMP):** Receives ADD(0:2) and outputs MWE.
- Bank Decoder (BANK DEC):** Receives ADD(0:2) and outputs DSEL.
- Multiplexers (MUX and DMUX):** The MUX receives CDSIG(3:0) and MDSIG(3:0) and outputs DQ(127:0). The DMUX receives DQ(127:0) and outputs MDSIG(3:0).
- Memory Array (DRAMARY):** Consists of BANK 0 and BANK 127. Each bank contains MCTL0 and MCTL127. The array is connected to the MUX and DMUX via DQ(127:0) and MDSIG(3:0).
- Other Blocks:** ADDL, NO BUFFER, and ADD(0:2) are also shown.

The RDRAM memory array is connected to the controller via the following signals:

- ADD(0:2):** Address bus.
- ADDL:** Address latch enable.
- ADD(0:2):** Address bus (repeated).
- CLK:** Clock signal.
- ASIM:** Address strobe in mask.
- WEH:** Write enable high.

Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-59265
(P2003-59265A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 1 1 C 11/406		G 0 6 F 12/08	5 0 7 Z 5 B 0 0 5
G 0 6 F 12/08	5 0 7		5 1 9 Z 5 B 0 1 5
	5 1 9		5 5 1 G 5 M 0 2 4
	5 5 1	G 1 1 C 11/34	3 6 3 K
G 1 1 C 11/401			Z

審査請求 未請求 請求項の数20 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願2001-240071(P2001-240071)

(22) 出願日 平成13年8月8日(2001.8.8)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 秋山 悟

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 菅野 雄介

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

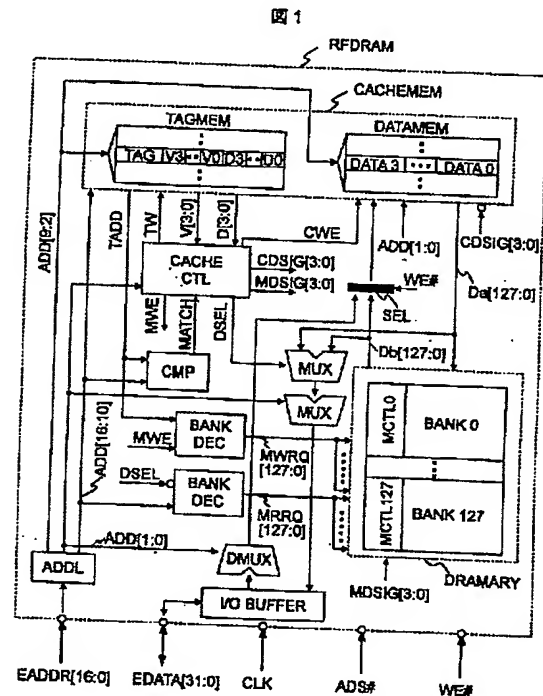
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 キャッシュメモリと複数のバンクからなるDRAMを用いたメモリにおいて、キャッシュラインのデータ幅と外部データバス幅が異なる場合であっても、リフレッシュ動作が隠蔽することができる手段を提供する。

【解決手段】 複数のメモリセルをそれぞれが有する複数のメモリバンクBANK0～BANK127と複数のメモリバンクの情報を保持するためのキャッシュメモリCACHEMEMとを具備し、キャッシュメモリCACHEMEMは複数のエントリを有し、複数のエントリのそれぞれはデータ部DATAMEMとタグ部TAGMEMとを有し、データ部DATAMEMは複数のサブラインDATA0～DATA3を有し、タグ部TAGMEMは複数のパリットビットV0～V3と複数のデータビットD0～D3とを有する。

【効果】 リフレッシュ動作によって外部アクセスが遅延されることのない使い勝手のよいメモリが実現できる。すなわちリフレッシュが隠蔽されたSRAM互換性を有するメモリを実現できる。



【特許請求の範囲】

【請求項 1】複数のメモリセルをそれぞれが有する複数のメモリバンクと、
前記複数のメモリバンクの情報を保持するためのキャッシュメモリとを具備し、
前記キャッシュメモリは、複数のエントリを有し、
前記複数のエントリのそれぞれは、前記複数のメモリバンクの一部の情報を記憶するためのデータ部と、前記データ部の情報に対応する前記複数のメモリバンクのアドレス情報を記憶するためのタグ部とを有し、
前記データ部は、複数のサブラインを有し、
前記タグ部は、前記複数のサブラインに記憶された情報が有効であるかを示すための複数の第1フラグと前記複数のサブラインに記憶された情報が前記メモリバンクに新たに書き込む必要があるかを示す複数の第2フラグとを有することを特徴とする半導体装置。

【請求項 2】請求項 1 において、
前記複数の第 1 フラグは、バリッドビットであり、前記複数の第 2 フラグは、ダーティビットであることを特徴とする半導体装置。

【請求項 3】請求項 1 において、
前記複数のサブラインの数は、前記複数の第 2 フラグの数と同じであることを特徴とする半導体装置。

【請求項 4】請求項 1 において、
前記半導体装置は、前記半導体装置に対する情報を入力するための外部データバスに結合するための複数のデータ入出力ノードを更に具備し、
前記複数のサブラインのそれぞれに記憶される情報のデータ幅は、前記外部データバスのデータ幅と同じであることを特徴とする半導体装置。

【請求項 5】請求項 1 において、
前記半導体装置は、前記メモリアレイと前記キャッシュとを接続する内部データバスと、前記半導体装置に対する情報を入力するための外部データバスに結合するための複数のデータ入出力ノードとを更に具備し、
前記複数のサブラインの数を N 、前記内部データバスのデータ幅を A 、前記外部データバスのデータ幅を B とした場合に、 $A = N \cdot B$ であることを特徴とする半導体装置。

【請求項 6】請求項 1 において、
前記半導体装置は、前記キャッシュメモリに記憶された情報を前記複数のメモリバンクに書き込む際において、対応する前記複数のダーティビットが有効とされるサブラインの情報を前記複数のメモリバンクに書き込み、対応する前記複数のダーティビットが無効とされるサブラインの情報は前記複数のメモリバンクに書き込まないことを特徴とする半導体装置。

【請求項 7】請求項 6 において、
前記半導体装置は、前記複数のサブラインに前記複数のメモリバンクの情報を書き込む際に、対応する前記複数の

のダーティビットが無効であるサブラインに情報を書き込み、対応する前記複数のダーティビットが有効であるサブラインには情報を書き込まないことを特徴とする半導体装置。

【請求項 8】請求項 1 において、
前記半導体装置は、前記複数のメモリバンクと前記キャッシュメモリとの間にデュアルポートの内部データバスを更に具備することを特徴とする半導体装置。

【請求項 9】請求項 1 において、
10 前記キャッシュメモリは、ダイレクトマップ方式で制御されることを特徴とする半導体装置。

【請求項 10】請求項 1 において、
前記半導体装置は、前記メモリバンクのリフレッシュ動作を制御するためのメモリ制御回路を更に具備し、
前記メモリ制御回路は、前記複数のメモリバンクの中で外部アクセスの要求とリフレッシュ動作の要求が重なったメモリバンクに対しては、前記外部アクセスの要求を優先して実行することを特徴とする半導体装置。

【請求項 11】請求項 1 において、
20 前記複数のメモリバンクは、DRAMメモリセルを有し、前記キャッシュメモリは、SRAMセルを有することを特徴とする半導体装置。

【請求項 12】複数のメモリセルをそれぞれが有する複数のメモリバンクと、
前記複数のメモリバンクの情報を保持するためのキャッシュメモリと、
情報を外部と入出力するために外部データバスに結合される複数のデータ入出力ノードとを具備し、
前記キャッシュメモリは、複数のエントリを有し、
30 前記複数のエントリのそれぞれは、前記複数のメモリバンクの一部の情報を記憶するためのデータ部と、前記データ部の情報に対応する前記複数のメモリバンクのアドレス情報を記憶するためのタグ部とを有し、
前記複数のメモリバンクの入出力されるデータ幅と、前記キャッシュメモリのデータ幅と、前記外部データバスのデータ幅が等しいことを特徴とする半導体装置。

【請求項 13】請求項 12 において、
前記キャッシュメモリは、ダイレクトマップ方式で制御されることを特徴とする半導体装置。

【請求項 14】請求項 12 において、
40 前記半導体装置は、前記複数のメモリバンクのリフレッシュ動作を制御するためのメモリ制御回路を更に具備し、
前記メモリ制御回路は、前記複数のメモリバンクの中で外部アクセスの要求とリフレッシュ動作の要求が重なったメモリバンクに対しては、前記外部アクセスの要求を優先して実行することを特徴とする半導体装置。

【請求項 15】請求項 12 において、
50 前記複数のメモリセルは、DRAMセルであり、前記キャッシュメモリは、SRAMセルであることを特徴とする半導体

装置。

【請求項 16】複数のメモリセルを有する複数のメモリバンクと、
前記複数のメモリバンクの情報を保持するための第1及び第2キャッシュメモリと、
前記第1キャッシュメモリに対応する第1比較回路と、
前記第2キャッシュメモリに対応する第2比較回路とを具備し、
前記第1キャッシュメモリは、複数の第1エントリを有し、
前記第2キャッシュメモリは、複数の第2エントリを有し、
前記複数の第1エントリのそれぞれは、前記複数のメモリバンクの一部の情報を記憶するための第1データ部と、前記第1データ部の情報に対応する前記複数のメモリバンクのアドレス情報を記憶するための第1タグ部とを有し、
前記複数の第2エントリのそれぞれは、前記複数のメモリバンクの一部の情報を記憶するための第2データ部と、前記第2データ部の情報に対応する前記複数のメモリバンクのアドレス情報を記憶するための第2タグ部とを有し、
前記第1比較回路は、外部アドレスと前記第1タグ部に記憶されたアドレス情報とを比較し、
前記第2比較回路は、前記外部アドレスと前記第2タグ部に記憶されたアドレス情報とを比較することを特徴とする半導体装置。

【請求項 17】請求項 16において、
前記第1及び第2キャッシュメモリは、セットアソシアティブ方式で制御されることを特徴とする半導体装置。

【請求項 18】請求項 16において、
前記複数のメモリバンクは、データ幅Aの単位で情報を入力し、
前記第1及び第2データ部は、データ幅Aと同じ幅であるデータ幅Bの単位で情報を記憶することを特徴とする半導体装置。

【請求項 19】請求項 18において、
前記半導体装置は、前記第1又は第2キャッシュメモリに対しての情報を入出力するために外部データバス結合される複数の入出力ノードを更に有し、
前記第1データ部は、N個の第1キャッシュラインに分割され、
前記第2データ部は、N個の第2キャッシュラインに分割され、
前記外部データバスのデータ幅をCとした場合において、 $A = N \cdot C$ であることを特徴とする半導体装置。

【請求項 20】請求項 16において、
前記半導体装置は、前記複数のメモリバンクのリフレッシュ動作を制御するためのメモリ制御回路を更に具備し、

前記メモリ制御回路は、前記複数のメモリバンクの中で外部アクセスの要求とリフレッシュ動作の要求が重なったメモリバンクに対しては、前記外部アクセスの要求を優先して実行することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関する。特に高速、高集積、低電力な用途に好適な半導体記憶装置および、論理回路と半導体記憶装置を集積した半導体装置に関する。

【0002】

【従来の技術】LSIに混載するオンチップメモリとしては、スタティックランダムアクセスメモリ(以下SRAMと記す)が主流である。しかしながら、SRAMは6つのトランジスタから構成されているためにメモリセルの面積がおおきく、そのためSRAMだけで容量の大きなメモリをLSIに混載することは困難である。一方一つのトランジスタと一つのキャパシタからなる、ダイナミックランダムアクセスメモリ(以下DRAMと記す)をLSIに混載する方法もある。DRAMはメモリセルの面積が小さいため、比較的大容量を混載することができる。しかしSRAMに比べるとサイクル時間が遅く、またリフレッシュ動作が必要なため、制御が複雑になり使い勝手が悪くなってしまうという欠点があった。前者のサイクル時間については、ビット線上のメモリセルの数を減らすことで高速化できることが知られているが、後者のリフレッシュについては、外部から見て完全に隠蔽することは困難である。

【0003】しかし最近、DRAMのメモリセルを用いてリフレッシュ動作を隠蔽した方法が、米国特許5999474号にて報告されている。前記米国特許に記載の半導体メモリ(以下本米国特許に従い、1T-SRAMと記す)においては、複数のバンクに分割されたDRAMと1バンク分のSRAMから構成され、SRAM部分をキャッシュメモリとして使用する。キャッシュメモリにヒットしている間は、DRAM部分はアクセスがないアイドル状態となるため、その間を利用して専用コントローラがDRAM内部のリフレッシュを完了し、外部からはリフレッシュの制御を不要としている。またその構成として、キャッシュメモリは制御が容易で高速なダイレクトマップ方式を適用し、さらにキャッシュメモリとDRAMはリードデータバスとライトデータバスからなるデュアルポートで接続されているため、キャッシュメモリからDRAMへの書き戻しと、DRAMからキャッシュメモリへのフェッチオンライトが1サイクルで実行可能な構成となっている。このようにすることで、例えばリード時キャッシュメモリがミスヒットの場合でも、DRAM部分から直ちにデータを読み出すことで、アドレスが入力されてから1サイクルでデータを出力することが可能であるとしている。以上のように、1バンク分のキャッシュメモリとマルチバンク構成のDRAMを利用することで、使い勝手のよいオンチップメモリを実現でき

る可能性がある。

【0004】

【発明が解決しようとする課題】しかしながら上記公知発明を検討したところ、1T-SRAM内のキャッシュメモリのキャッシュラインのデータ幅と、外部デバイスと1T-SRAMとを結ぶデータバスのバス幅が異なる場合において、所定の条件になるとリフレッシュ動作を隠蔽することが困難になる可能性があることがわかった。

【0005】通常キャッシュメモリは、複数のエントリからなり、前記エントリはデータを格納するデータ部と、そのアドレスを格納するタグ部からなる。また各エントリにはデータが変更されたことを示すダーティビットが設けられている。あるエントリのデータがライトアクセスによって変更された場合にダーティビットがセットされ、前記エントリが置き換え対象になったときには、主記憶に書き戻すことでキャッシュメモリと主記憶のデータの一貫性を維持することができる。このような方式をライトバック方式という。

【0006】ここで上記公知発明のキャッシュメモリにおいて、あるエントリのデータがダーティの時、そのエントリに対するライトアクセスが発生し、キャッシュミス(同一エントリ、異なるタグ)を起こしたとする。この場合キャッシュメモリとDRAMとの間でデータの一貫性を維持するために、キャッシュメモリからDRAMへの書き戻し(ライトバック)と、アクセスされたキャッシュラインへ、DRAMからデータのアロケート(フェッチオンライト)が実行される。つまり、ライトアロケート方式のライトバックの如く制御する。上記公知発明の構成によれば、キャッシュメモリのタグにはDRAMの各バンクアドレスを割り当てているため、前記ライトバックと前記フェッチオンライトは必ず2つの異なるバンクにおいてそれぞれ実行される。例えば、あるエントリにバンクAに関するデータが記憶されている状態において、前記エントリにバンクBに対するアクセスがあった場合は、バンクAにライトバックによるアクセスが、バンクBにフェッチオンライトによるアクセスが発生する。次に、同じエントリに対しバンクAに関するアクセスがあった場合は、バンクBにはライトバックによるアクセスが、バンクAにはフェッチオンライトによるアクセスが発生する。したがって、例えば同一エントリに対するライトアクセスのキャッシュミスが連続すると、DRAM内部の当該二つのバンクは常にアクセスが発生する。つまり当該二つのバンクにおけるリフレッシュを実行することができず、DRAM内のデータが破壊される可能性がある。このような状況のもと、本発明の目的は以上のような問題点を解決したメモリ装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するための代表的な手段の一つは、リフレッシュを隠蔽するためにキャッシュメモリと複数のバンクで構成されるDRAMか

らなるメモリ装置において、前記キャッシュメモリの各キャッシュラインをサブラインに分割し、各サブライン毎にバリッドビットおよびダーティビットを設ける。このような構成とすることで、ダーティビットがセットされているサブラインに対するライトアクセスキャッシュミスが起こった際には、前記DRAMアレイに対してライトバックのみを実行することができる。

【0008】また、同時に、アクセスされたサブライン以外のサブラインのバリッドビットをリセットし、データを無効化するように制御することで前記DRAMアレイからのアロケート動作を不要とすることができ、二つのバンクに常にアクセスが発生する状態を防ぐことができる。

【0009】更にDRAM部分はマルチバンク構成にし、バンクアドレスをキャッシュメモリのタグに割り当て、キャッシュメモリとDRAM部分を結ぶ内部データバスをリードデータバスとライトデータバスからなるデュアルポートで接続することで、例えばリードアクセスキャッシュミス時のDRAMアレイへのライトバックとDRAMからのデータアロケート(フェッチオンライト)が、それぞれ異なるバンクで実行されるので、1サイクル中に前記両コマンドが実行できる。

【0010】以上のようにすることで、問題であった同一キャッシュラインに対するライトアクセスのキャッシュミスが連続した場合でも、DRAMアレイに外部アクセスのないアイドルな状態ができ、リフレッシュ動作を実行できる。

【0011】

【発明の実施の形態】以下本発明の実施例を図面に基き詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の回路記号はゲートに丸印をつけないものはN型MOSFET(NMOS)を表し、ゲートに丸印をつけたP型MOSFET(PMOS)と区別される。以下MOSFETを呼ぶために簡略化してMOSあるいはMOSトランジスタと呼ぶことにする。但し本発明は金属ゲートと半導体層の間に設けられた酸化膜絶縁膜を含む電界効果トランジスタだけに限定されるわけではなくMISFET(Metal Insulator Semiconductor Field Effect Transistor)等の一般的なFETを用いた回路に適用される。なお本来はラッチとフリップフロップあるいはレジスタは、厳密には意味は異なるが、ここでは特に限定しない限りそれらを代表してラッチと記す。＜実施例1＞図1は本発明の実施例の一つであるメモリ装置リフレッシュフリーダイナミックメモリRFDRAM(以下RFDRAMと記す)のブロック図である。図2はRFDRAMの動作を示すフローチャート、図3は図1に用いたキャッシュメモリの実施例、図4は図1に用いたDRAMアレイの実施例、図5はRFDR

Mのタイミングチャートを示したもので、DRAMアレイへのアクセスとリフレッシュの競合が回避されたことを示した図である。

【0012】まず図1から説明する。本発明のRFDRAMは、キャッシュメモリCACHMEMと複数のDRAMバンク(Bank 127~Bank 0の128バンク構成)からなるDRAMアレイDRAMARYから構成される。なお、図1の例では、1バンクの容量が32kビット、全メモリ容量は4Mビットの例である。キャッシュメモリCACHMEMは1バンク分の容量を有し、図1では16バイトのデータ幅を有するキャッシュライン、256エン트리構成の32kビットの例を示している。キャッシュメモリCACHMEMのメモリセルは、4トランジスタまたは6トランジスタからなるSRAMである。また、キャッシュメモリCACHMEMはタグメモリTAGMEMとデータを格納するデータメモリDATAMEMからなる。さらにタグメモリTAGMEMは、アドレスを格納するタグアドレスTAGと、データメモリDATAMEMを管理するバリッドビットV3~V0とダーティビットD3~D0からなる。一方データメモリDATAMEMのキャッシュラインは複数のラインに分割され、DATA3~DATA0にサブライン化されている。言いかえ

るならば、本実施例のキャッシュラインは4つのサブラインDATA3~DATA0を有することになり、サブラインDATA3~DATA0のそれぞれにバリッドビットV3~V0とダーティビットD3~D0を有することになる。またCACHECTLはキャッシュコントローラ、CMPは比較器、SELはセクタ、BANKDECはバンクデコーダ、MUXはマルチプレクサ、DMUXはデマルチプレクサ、ADDLはアドレスラッチ、MCTL127~MCTL0はメモリコントローラである。キャッシュメモリCACHMEMとDRAMアレイDRAMARYは、内部データバスDa[127:0]、Db[127:0]のデュアルポートで接続されている。このように内部データバスDa[127:0]、Db[127:0]のデュアルポートで接続することで、例えばリードアクセスキャッシュミス時のDRAMアレイへのライトバックとDRAMからのデータアロケート(フェッチオンライト)が、それぞれ異なるバンクで実行されるので、1サイクル中に前記両コマンドが実行でき高速に動作することが可能となる。ここで、サブラインDATA3~DATA0が記憶できるデータ幅は、外部データバスEDATA[31:0]と同じデータ幅にすると使い勝手がよい。外部データバスEDATA[31:0]とは、RFDRAMを一つの半導体装置と見て、それ以外の演算回路と接続するためのバスを指し、RFDRAMのデータ入出力ノードに接続される。また、内部データバスDa[127:0]、Db[127:0]のデータ幅をAと、キャッシュメモリのサブラインの分割数をNと、外部データバスEDATA[31:0]のデータ幅をBとした場合の関係は、 $A = N \cdot B$ の関係を満たすと使い勝手がよい。なお、ここで内部データバスDa[127:0]、Db[127:0]のデータ幅Aは、リードデータバスまたはライトデータバスの一方のデータ幅を示しており、本実施例の場合は128となる。

【0013】次に本実施例のRFDRAMの動作について説明

する。RFDRAMに対するアクセスには、リードアクセスキャッシュヒットと、リードアクセスキャッシュミス、ライトアクセスキャッシュヒット、ライトアクセスキャッシュミスの4つの動作が上げられる。以下これらの動作を、図1及び図2のフローチャートを用いて説明する。

(1) リードアクセス、キャッシュヒット

図2(a)において、RFDRAMにリードアクセスが要求された場合、まずキャッシュメモリCACHMEMのタグアドレスTAGと、外部から入力されたアドレスとの比較を行う(S101)。比較したアドレスが一致した場合、ステップS102においてサブラインが有効であるかの判定を行う。ここでサブラインのバリッドビットがセットされており、データが有効であるならば、キャッシュメモリCACHMEMにデータが存在し、キャッシュヒットと判定される。その後、要求されたデータをキャッシュメモリCACHMEMからリードし(S103)、そのデータをリクエストマスタに転送する(S104)。

【0014】以上の動作を図1で詳細に説明する。外部からリードアクセス要求があった場合、外部アドレスバスEADDR[16:0]からアドレスが入力される。この時アドレスストロブ信号ADS#はロウにドライブされ、ライトイネーブル信号WE#はハイにドライブされる。入力されたアドレスはアドレスラッチADDLを経由して、上位アドレスADD[16:10]と中位アドレスADD[9:2]、下位アドレスADD[1:0]に分類される。ここで上位アドレスADD[16:10]はバンクアドレスに対応しており、タグアドレスTAGとの比較に用いられる。中位アドレスADD[9:2]は、タグメモリTAGMEMを参照するために用いられる。下位アドレスADD[1:0]はデータメモリDATAMEM中のサブラインの選択に用いられる。なお図が煩雑になるので、RFDRAM内部に分配される上位アドレスADD[16:10]、中位アドレスADD[9:2]、下位アドレスADD[1:0]、クロックCLK、アドレスストロブ信号ADS#、ライトイネーブル信号WE#等の制御信号の一部は省略してある。

【0015】リードアクセス時には、キャッシュメモリCACHMEMにおいて所望のデータの有無を判定する。まず中位アドレスADD[9:2]を用いてタグメモリTAGMEMを参照する。参照されたタグアドレスTAGはタグアドレスバスTADDを経由して比較器CMPに入力される。また参照されたエントリのバリッドビットV3~V0とダーティビットD3~D0はキャッシュコントローラCACHECTLに入力される。比較器CMPは入力された上位アドレスADD[16:10]と参照されたタグアドレスTAGの比較を行い、二つのアドレスが同じ値である場合は、アドレス一致信号MATCHをハイにドライブしてキャッシュコントローラCACHECTLに入力する。キャッシュコントローラCACHECTLは、アドレス一致信号MATCHとバリッドビットV3~V0、および下位アドレスADD[1:0]から、要求データがキャッシュメモリに存在するか判定を行う。

【0016】ここで図3を用いてデータの判定フローを

説明する。図3は図1に用いたキャッシュメモリの実施例であり、タグアドレスTAG、バリッドビットV3~V0、ダーティビットD3~D0からなり、エントリ数は256の例を示している。図3(a)では、エントリ0に対し、タグアドレスTAGは4、バリッドビットV[3:0]=(1111)、ダーティビットD[3:0]=(0100)、サブラインDATA3~DATA0にはそれぞれA、M、C、Dのデータが保持されている。

【0017】リードアクセス時、外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0000100)、中位アドレスADD[9:2]=(00000000)、下位アドレスADD[1:0]=(11)が入力されたとする。つまり上位アドレス(バンクアドレス)は”4”、エントリは”0”、参照するサブラインアドレスは”3”、サブラインDATA3である。図3(a)において、エントリ0のタグアドレスTAGは”4”であり、入力された上位アドレスの値と等しい。したがって比較器CMPはアドレス一致信号MATCHをハイにドライブする。さらにバリッドビットV3はセットされている。つまりキャッシュメモリに要求データが存在することになるので、キャッシュコントローラCACHECTLはキャッシュヒットと判定し、データセレクト信号DSELをハイにドライブする。

【0018】キャッシュコントローラCACHECTLはリードアクセス、キャッシュヒットと判定すると、キャッシュライトイネーブル信号CWEをロウにドライブし、データメモリDATAMEMから参照したキャッシュラインをリードする。上記の場合、エントリ0のキャッシュラインのデータ、A、M、C、Dをリードする。リードしたキャッシュラインのデータは内部データバスDa[127:0]を経由してマルチプレックスサMUXに inputs される。マルチプレックスサMUXにはデータセレクト信号DSELを入力し、データメモリDATAMEMからの内部データバスDa[127:0]と、DRAMアレイDRAMARYからの内部データバスDb[127:0]の選択をおこなう。ここではキャッシュヒットなので、内部データバスDa[127:0]が選択される。さらに下位アドレスADD[1:0]=(11)を用いてキャッシュライン中の所望のサブラインDATA3を選択して外部データバスEDATA[31:0]に出力する。この場合、サブラインDATA3のAが外部に出力される。

【0019】以上がリードアクセスキャッシュヒットの動作である。キャッシュヒットの場合、所望のデータがキャッシュメモリCACHEMEMに存在するので、DRAMアレイDRAMARYにはアクセスがない。したがって、DRAMアレイDRAMARYの全てのバンクはアイドル状態となるので、メモリコントローラMCTL0~MCTL127によりすべてのバンクのリフレッシュ動作を実行できる。

(2) リードアクセスキャッシュミス

次にリードアクセスキャッシュミスについて説明する。まず図2(a)のステップS101においてアドレスを比較する。アドレスが一致した場合ステップS102に進み、アドレスが一致しなかった場合はステップS108に進む。

【0020】アドレスが一致した場合、ステップS102に

においてバリッドビットがセットされているか判定する。ここでアクセス対象のサブラインのバリッドビットがセットされておらず所望のデータがない、すなわちキャッシュミスの時はステップS105に進む。キャッシュメモリCACHEMEMに所望のデータが存在しないので、そのデータをDRAMアレイDRAMARYからリードする必要があり、リードしたデータはキャッシュメモリCACHEMEMにフェッチオンライトする。このとき同一エントリにおいて、バリッドビットがセット、かつダーティビットがセットされているサブラインのデータはフェッチしない。なぜなら前記データは最新のデータであり、DRAMアレイDRAMARYからのデータをフェッチしてしまうと古いデータに置き換えられてしまうためである。その後フェッチしたサブラインのダーティビットをリセットし(ステップS106)、バリッドビットをセット(ステップS107)、DRAMアレイDRAMARYからリードしたデータをリクエストマスタに転送する(ステップS104)。

【0021】アドレスが一致しなかった場合、ステップS108において参照したキャッシュラインのサブラインがダーティであるか判定する。このとき前記キャッシュラインのサブラインが全てダーティでない場合、所望のデータをDRAMアレイDRAMARYからリードし、キャッシュメモリにフェッチオンライトする(ステップS109)。一方、参照したキャッシュライン内にダーティなサブラインが存在する時は、データの貫性維持のためにそのサブラインのデータをライトバックする(ステップS110)、さらに所望のデータをDRAMアレイDRAMARYからフェッチオンライト(ステップS109)する。その後ステップS111においてダーティビットをリセットしバリッドビットをセット(ステップS107)、DRAMアレイDRAMARYからリードしたデータをリクエストマスタに転送する(ステップS104)。以上の動作を図1、図3を用いて説明する。はじめにアドレスが一致した場合から説明する。

(2-1) アドレス一致。サブラインデータ無効によるキャッシュミスの場合

リードアクセス、キャッシュミスにおいて、アドレスの比較(ステップS101)までは、前述のリードアクセス、キャッシュヒットと同様である。ここで外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0000100)、中位アドレスADD[9:2]=(00000001)、下位アドレスADD[1:0]=(11)が入力されたとする。つまり上位アドレス(バンクアドレス)は”4”、エントリは”1”、参照するサブラインアドレスは”3”、サブラインDATA3である。図3(a)において、エントリ1のタグアドレスTAGは”4”であり、入力された上位アドレスの値と等しい。したがって比較器CMPはアドレス一致信号MATCHをハイにドライブする。しかしサブラインDATA3のバリッドビットV3はリセットされている。つまりキャッシュメモリに要求データが存在しないことになるので、キャッシュコントローラCACHECTLはキャッシュミスと判定する。

【0022】キャッシュコントローラCACHECTLはリードアクセス、キャッシュミスであることを検知すると、データセレクト信号DSELをロウにドライブし、バンクデコーダBANKDECに入力する。上位アドレスADD[16:10]はバンクデコーダBANKDECによってデコードされ、メモリリードリクエスト信号MRRQ[127:0]をドライブする。ここでは上位アドレスADD[16:10]=(0000100)がデコードされバンクアドレス”4”が選択される。また、バンクからデータをリードする際には中位アドレスADD[9:2]を利用する。すなわち中位アドレスADD[9:2]のうち、ADD[9:4]はロウアドレス63~0の参照に利用し、ADD[3:2]はコラムアドレス3~0の参照に利用する。したがってこの例ではバンク4からロウアドレス0、コラムアドレス1のE、F、G、Hの128ビットのデータがリードされる。リードされたデータは内部データバスDb[127:0]を経由してマルチプレックスサMUXに入力される。キャッシュミスの場合、データセレクト信号DSELはロウにドライブされているので内部データバスDb[127:0]が選択され、下位アドレスADD[1:0]=(11)によって所望のデータであるEが外部データバスEDATA[31:0]に出力される。一方バンク4から出力されたデータはセクタSELを経由し、データメモリDATAMEMに入力される。キャッシュコントローラCACHECTLはリードアクセスキャッシュミスと判定しているので、キャッシュライトイネーブル信号CWEをハイにドライブし、DRAMアレイDRAMARYからリードしたデータをフェッチオンライトする。またキャッシュコントローラCACHECTLは、タグライト信号TWをハイにドライブして、上位アドレスADD[16:10]をタグメモリTAGMEMにライトする。ここで前述の通り、ダーティビットがセットされているサブラインにはフェッチオンライトしてはならない。なぜなら、図3(a)においてフェッチオンライトの対象であるキャッシュライン1には、N、O、Pという最新のデータが存在するからである。したがってバンクからリードしたE、F、G、HのうちデータF、G、Hはフェッチオンライトしない。そのためにキャッシュコントローラCACHECTLからのキャッシュデータ制御信号CDSIG[3:0]の反転信号を用い、フェッチオンライトを実行する。キャッシュコントローラCACHECTLはキャッシュミスと判定した際、アクセス対象のキャッシュライン中においてバリッドビットがセット、かつダーティビットがセット、さらにアドレス一致信号MATCHがハイにドライブされている場合にキャッシュデータ制御信号CDSIG[3:0]をハイにドライブする。つまりこの場合キャッシュライン1に対して、CDSIG[3:0]=(0111)が出力される(もしアドレスが不一致、すなわちアドレス一致信号MATCHがロウにドライブされたならば(0000)を出力する)。したがってフェッチオンライトの際は、その反転信号(1000)を用いてサブラインDATA3のみフェッチオンライトを実行する。以上がアドレス一致、サブラインデータ無効の場合のリードアクセスキャッシュミスにおける動作である。

(2-2)アドレス不一致によるキャッシュミスの場合

図2(a)のステップS101においてアドレス比較を行った結果、アドレスが不一致と判定された場合、ステップS108に進む。

【0023】まずダーティビットがセットされたサブラインがない場合について説明する。例えば外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0001000)、中位アドレスADD[9:2]=(00000010)、下位アドレスADD[1:0]=(11)が入力されたとする。つまり上位アドレス(バンクアドレス)は”8”、エントリは”2”、参照するサブラインアドレスは”3”、サブラインDATA3である。図3(a)において、エントリ2のサブラインDATA3~DATA0にはそれぞれa、b、c、dのデータが保持されている。この場合サブラインにダーティなデータはなくキャッシュライン全てをフェッチオンライトする(ステップS109)。エントリ2のタグアドレスTAGは4であり、入力された上位アドレスとは異なるので比較器CMPはアドレス一致信号MATCHをロウにドライブする。すなわちキャッシュメモリにはバンク4のデータが存在するので、キャッシュコントローラCACHECTLはキャッシュミスと判定し、データセレクト信号DSELをロウにドライブする。バンクデコーダBANKDECはバンク8を選択し、Q、R、S、Tの128ビットのデータがリードされマルチプレックスサMUXを通して所望のデータQが外部バスEDATA[31:0]に出力される。一方バンク8から出力されたデータはセクタSELを経由し、データメモリDATAMEMに入力されフェッチオンライトが実行される。フェッチ対象となるサブラインを示すキャッシュデータ制御信号CDSIG[3:0]はダーティビットがセットされたデータがないことと、さらにアドレスが不一致なのでCDSIG[3:0]=(0000)を出力するので、その反転信号は(1111)となる。したがって全てのサブラインがフェッチオンライトの対象となり、この例では、エントリ2のキャッシュラインにQ、R、S、Tがフェッチされる。

【0024】次にダーティなサブラインがある場合について説明する。例えば外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0001000)、中位アドレスADD[9:2]=(11111111)、下位アドレスADD[1:0]=(11)が入力されたとする。つまり上位アドレス(バンクアドレス)は”8”、エントリは”255”、参照するサブラインアドレスは”3”、サブラインDATA3である。ここで図3(a)において、エントリ255のタグアドレスTAGは4であり、入力された上位アドレスとは異なるので比較器CMPはアドレス一致信号MATCHをロウにドライブする。すなわちキャッシュメモリにはバンク4のデータが存在するので、キャッシュコントローラCACHECTLはキャッシュミスと判定し、データセレクト信号DSELをロウにドライブする。またエントリ255にはダーティビットがセットされたサブラインデータY、Zが存在する。したがってデータのコーヒレンシを維持するためこれらのデータをDRAMアレイ

DRAMARYにライトバックする必要がある。そこでキャッシュコントローラCACHECTLはメモリライトイネーブル信号MWEをハイにドライブし、キャッシュライトイネーブル信号CWEをロウにドライブする。メモリライトイネーブル信号MWEとタグアドレスバスTADDを経由して出力されるタグアドレスTAGは、バンクデコーダBANKDECに入力されライトバックするバンクを選択する。この場合では、バンク4がライトバック対象のバンクである。一方ライトバックするデータは、データメモリDATAMEMから内部データバスDa[127:0]を経由して出力される。しかしエントリ255のキャッシュライン中には、バリッドビットがセットされていない無効なデータが存在するため、全てのサブラインデータをライトバックすることはデータを破壊することになる。そこでキャッシュコントローラCACHECTLはメモリデータ制御信号MDSIG[3:0]=(0011)を各メモリコントローラMCTLに入力し、ライトバックすべきデータを制御する。すなわちバンク4にはサブラインデータY、Zのみをライトバックする。

【0025】次にバンク8からのリードを説明する。ロウにドライブされたデータセレクト信号DSELと上位アドレスADD[16:10]によって、バンクデコーダBANKDECはバンク8を選択し、I、J、K、Lの128ビットのデータがリードされマルチプレックスサMUXを通して所望のデータIが外部バスEDATA[31:0]に出力される。ここでリードが発生したバンクには、メモリデータ制御信号MDSIG[3:0]を全てハイにして入力するよう制御する。このような制御は、セクタ等を使って簡単に実現できるので特に図示していない。一方バンク8から出力されたデータはセクタSELを経由し、データメモリDATAMEMに入力されフェッチオンライトが実行される。アドレスが不一致なのでキャッシュデータ信号CDSIGはCDSIG[3:0]=(0000)を出力し、その反転信号は(1111)となる。したがって全てのサブラインがフェッチオンライトの対象となり、この例では、エントリ255のキャッシュラインにI、J、K、Lがフェッチされる。

【0026】以上がリードアクセスキャッシュミスの動作である。キャッシュミスの場合、所望のデータがキャッシュメモリCACHMEMに存在しないので、DRAMアレイDRAMARYにアクセスが発生する。上記の例では、バンク4とバンク8にリードもしくはライトアクセスが生じる。したがってバンク4とバンク8以外の全てのバンクはメモリコントローラMCTLによってリフレッシュが可能である。またバンク4およびバンク8のリフレッシュは、それぞれのバンクにアクセスがないアイドル状態になった時に実行すればよい。さらに外部アクセスとリフレッシュ動作が同時に発生した場合は、メモリコントローラMCTLによって外部アクセスを優先的に処理し、バンクがアイドル状態になった際、あらためてリフレッシュを実行する(詳細は後述する)。

(3)ライトアクセスキャッシュヒット

図2(b)において、RFDRAMにライトアクセスが要求された場合、リードアクセス時と同様にキャッシュメモリCACHMEMのタグアドレスTAGと、外部から入力されたアドレスとの比較を行う(S201)。比較したアドレスが一致した場合、ライトアクセスではサブラインのバリッドビットの状態にかかわらずキャッシュヒットと判定される。次にステップS202においてサブラインがバリッドであるか判定し、バリッドであるならばそのサブラインのダーティビットをセットし(ステップS203)、キャッシュメモリCACHMEMにライトを実行する。一方ステップS202において、サブラインのバリッドビットがセットされていない場合は、そのサブラインのバリッドビットをセット(ステップS205)した後、同様にダーティビットをセット(S203)、キャッシュメモリCACHMEMにライト(S204)を実行する。以上のライトアクセスキャッシュヒットの動作を図1及び図3で詳細に説明する。

【0027】外部からライトアクセス要求があった場合、外部アドレスバスEADDR[16:0]からアドレスが入力され、外部データバスEDATA[31:0]からライトデータが入力される。またアドレスストローブ信号ADS#はロウにドライブされ、ライトイネーブル信号WE#はロウにドライブされる。キャッシュコントローラCACHECTLはアドレスストローブ信号ADS#、ライトイネーブル信号WE#からライトアクセス要求があったことを検知すると、リードアクセス時と同様に外部から入力された上位アドレスADD[16:10]とタグメモリTAGMEMのタグアドレスTAGの比較を行う。ここで外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0000100)、中位アドレスADD[9:2]=(00000000)、下位アドレスADD[1:0]=(11)が入力されたとする。つまり上位アドレス(バンクアドレス)は”4”、エントリは”0”、参照するサブラインアドレスは”3”、サブラインDATA3である。図3(a)において、エントリ0のタグアドレスTAGは”4”であり、入力された上位アドレスの値と等しい。したがって比較器CMPはアドレス一致信号MATCHをハイにドライブする。キャッシュコントローラCACHECTLは、ライトアクセス時にアドレス一致信号MATCHがハイにドライブされたことからキャッシュヒットと判定し、キャッシュライトイネーブル信号CWEをハイにドライブする。一方外部から入力されたデータは入出力バッファI/O BUFFERを経由してデマルチプレックスサMUXに入力される。ここで下位アドレスADD[1:0]によって外部入力データeは、128ビットのデータバス内の適切な位置に配置される。さらにライトイネーブル信号WE#がロウにドライブされ、セクタSELに入力されるので、外部からの入力データバスが選択され、データメモリDATAMEMにデータがライトされる。ここでは入力データeが、エントリ0のサブラインDATA3にライトされ、データが変更されたのでダーティビットD3をセットする。一方、キャッシュコントローラCACHECTLはタグライト信号TWをハイにドライブし、上位アドレスADD[1

6:10]をタグメモリTAGMEMにライトする。

【0028】またバリッドビットがセットされていない場合、例えば外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0000100)、中位アドレスADD[9:2]=(00000001)、下位アドレスADD[1:0]=(11)が入力されたとする。このときエントリ1のサブラインDATA3は、図3(a)においてバリッドがセットされていない。この場合はバリッドビットV3、ダーティビットD3をセットし、外部入力データeをサブラインDATA3にライトする。

【0029】以上がライトアクセスキャッシュヒットの動作である。リードアクセス時と同様に、キャッシュヒットの場合、所望のデータはキャッシュメモリCACHMEMにライトされる。したがってDRAMアレイDRAMARYの全てのバンクはアイドル状態となるので、メモリコントローラMCTL0〜MCTL127によりすべてのバンクのリフレッシュ動作を実行できる。

(4)ライトアクセスキャッシュミス

次にライトアクセスキャッシュミスについて説明する。図2(b)のステップS201においてアドレス比較を行った結果、アドレスが不一致と判定された場合ステップS206に進む。次にアクセス対象のエントリの中にダーティなサブラインがあるか判定を行う(S206)。もしダーティビットがセットされたサブラインが存在しなければ、外部から入力されたデータをライトする、所望のサブラインのバリッドビット、ダーティビットをセットする(S207、S208)。さらにライト対象外のサブラインについてはデータの無効化のために、バリッドビットをリセットする。このように制御してキャッシュメモリCACHMEMにライトする。一方ステップS206において、ダーティビットがセットされたサブラインが存在するならば、そのデータはDRAMアレイDRAMARYにライトバックする必要がある(S208)。その後、ステップS207に進み同様にキャッシュライトを実行する。

【0030】以上の動作を図1、図3を用いて説明する。まずステップS206において、ダーティビットがセットされたサブラインがない場合から説明する。アドレス比較はライトアクセスキャッシュヒットと同様なので省略する。ここで外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0001000)、中位アドレスADD[9:2]=(0000010)、下位アドレスADD[1:0]=(11)が入力され、外部データバスEDATA[31:0]からデータeが入力されたとする。つまり上位アドレス(バンクアドレス)は”8”、エントリは”2”、参照するサブラインアドレスは”3”、サブラインDATA3である。図3(a)では、アクセス対象のエントリ”2”のデータは、a、b、c、dである。つまりデータの変更がなく、サブラインすべてのダーティビットがリセットされている状態である。エントリ2のタグアドレスTAGは4であり、入力された上位アドレスとは異なるので比較器CMPはアドレス一致信号MATCHをロウにドライブし、キャッシュコントローラCACHCTLはキャッシ

ュミスと判定する。その後キャッシュコントローラCACHCTLはキャッシュライトイネーブル信号CWEをハイにドライブし、外部から入力されたデータeをエントリ2のサブラインDATA3にライトする。次にサブラインDATA3のバリッドビットV3とダーティビットD3をセットし、他のサブラインのバリッドビットとダーティビットはリセットしデータを無効化する。またタグライト信号TWをハイにドライブし、上位アドレスADD[16:10]をタグメモリTAGMEMにライトする。以上のように制御することで、ライトアクセスキャッシュミスの場合にも、アクセス対象のエントリの中にダーティビットがセットされているサブラインが存在しなければ、ライトバックによるDRAMアレイDRAMARYに対するアクセスが発生することはない。すなわち全てのバンクはアイドル状態なのでリフレッシュ動作を実行でき、外部アクセスが遅延されることはない。

【0031】次にステップS206において、ダーティビットがセットされたサブラインがある場合について説明する。例えば同様に、外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0001000)、中位アドレスADD[9:2]=(00000001)、下位アドレスADD[1:0]=(11)が入力され、外部データバスEDATA[31:0]からデータeが入力されたとする。つまり上位アドレス(バンクアドレス)は”8”、エントリは”1”、参照するサブラインアドレスは”3”、サブラインDATA3である。エントリ1のタグアドレスTAGは4であり、アドレス不一致なので、キャッシュコントローラCACHCTLはタグライト信号TWをハイにドライブし、上位アドレスADD[16:10]をタグメモリTAGMEMにライトする。またキャッシュライトイネーブル信号CWEをハイにドライブし、外部から入力されたデータeをエントリ1のサブラインDATA3にライトする。このときエントリ1のサブラインデータはダーティビットがセットされたN、0、Pを含んでいるので、これらのデータをバンク4にライトバックする必要がある。ここでリードアクセスキャッシュミスと同様に注意しなければならないのは、サブラインDATA3をライトバックしてはならない。なぜならこのデータは無効であり、ライトバックすることで本来のデータを破壊してしまうからである。したがってキャッシュコントローラCACHCTLは、メモリデータ制御信号MDSIG[3:0]から(0111)を出力しそれらの信号をメモリコントローラMCTLに入力する。このように、サブラインDATA3以外のデータをライトバックするように制御する。

【0032】以上のように制御することで、アクセス対象のエントリにダーティビットがセットされたサブラインが存在した場合には、DRAMアレイDRAMARYにライトバックによるアクセスが発生する。上記の場合は、バンク4にライトバックが発生する。しかしその他のバンクはアクセスのないアイドル状態なのでリフレッシュが実行できる。またバンク4のリフレッシュ動作は、バンク4がアイドル状態になった際に行えばよい。もちろんライト

バック動作とリフレッシュ動作が同時に発生した場合は、ライトバック動作を優先的に処理し、その後アクセスのないアイドル状態の時にリフレッシュ動作を実行できる。

【0033】次に、図4、図5を用いてメモリアクセスとリフレッシュ動作の具体的な処理方法を説明する。図4の(a)は図1に用いたメモリコントローラの実施例であり、アクセスアービタACCESS ARBITER、メモリシーケンサMEMORY SEQUENCER、リフレッシュカウンタRFCNT、リフレッシュアドレスカウンタRFADDNT、マルチプレックサMUXから構成される。図4の例ではメモリバンクBANK4のメモリコントローラMCTL4を示してある。メモリバンクBANK4はロウデコーダROWDEC、カラムデコーダCOLDEC、センスアンプSA、マルチプレックサMUX、メモリアレイMEMARYからなる。ADDLはアドレスラッチである。また図4の(b)はアクセスアービタACCESS ARBITERの実施例である。図5はバンクにアクセス要求があった際のメモリアクセスとリフレッシュ動作を示すタイミングチャートである。

【0034】まず図3、図4を用いて、ライトアクセスキャッシュミス为例に説明する。外部アドレスADD[16:0]において、上位アドレスADD[16:10]=(0001000)、中位アドレスADD[9:2]=(00000001)、下位アドレスADD[1:0]=(11)が入力されたとする。図3では、キャッシュメモリのエントリ1のタグアドレスTAGは4、サブラインDATA2~DATA0のデータN、0、PはダーティビットがセットされているのでメモリバンクBANK4にライトバックする必要がある。したがってメモリバンクBANK4に対してメモリライトリクエスト信号MWRQ[4]をハイにドライブしライトバックを実行する。アクセスアービタACCESS ARBITERはメモリライトリクエスト信号MWRQ[4]を検知すると、外部アクセスリクエスト信号EREQ#をロウにドライブしてメモリシーケンサMEMORY SEQUENCERに入力する。アクセスアービタACCESS ARBITERの構成は特に限定されないが、例えば図4(b)のように2入力のNOR、NAND回路を用いて実現できる。メモリシーケンサMEMORY SEQUENCERは外部アクセスリクエスト信号EREQ#によるアクセス要求を受けると、メモリアレイMEMARYの動作を制御するためにロウアドレスストローブ信号RAS#、カラムアドレスストローブ信号CAS#、バンクライトイネーブル信号BWE#を発生する。これらのアレイ制御信号は、一般的な非同期式のDRAMコントローラと同様に発生すればよいことはいうまでもない。アクセスアービタACCESS ARBITERは、アクセスセクタ信号ASELをハイにドライブしマルチプレックサMUXに入力する。この場合、マルチプレックサMUXによって外部入力アドレスであるADD[9:2]が選択され、アドレスラッチADDLを経由しロウデコーダROWDEC、カラムデコーダCOLDECに入力される。またライトバックするデータつまりこの場合ではN、0、Pのデータは、メモリデータ制御信号MDSIG[3:0]を用いてメモリバンクBANK4にライ

トバックされる。以上のように、メモリバンクBANK4に対してリフレッシュ要求がなく、ライトバックアクセスだけを実行する場合、外部アクセスはメモリコントローラMCTL4によって直ちに処理することができる。

【0035】次に、バンクに対するライトバックアクセスと、同一バンクに対するリフレッシュ動作が衝突した場合について説明する。リフレッシュ動作は、リフレッシュ信号RFが各メモリコントローラMCTLに入力されることで実行される。ここで特に図には示していないが、リフレッシュ信号RFはリフレッシュタイマによって、一定期間毎に発生させればよい。リフレッシュカウンタRFCNTはリフレッシュ信号RFが入力されると、内蔵カウンタを1つインクリメントしリフレッシュリクエスト信号RFRQをハイにドライブして、アクセスアービタACCESS ARBITERに入力する。ここでバンクに対してアクセス要求がなくリフレッシュが実行された場合は、アクセスアービタACCESS ARBITERはリフレッシュアクノリッジ信号RFACK#をロウにドライブし、リフレッシュカウンタRFCNTの内蔵カウンタを1つデクリメントする。ハイにドライブされていたリフレッシュリクエスト信号RFRQは、内蔵カウンタの値(未処理のリフレッシュ数)が0になると、ロウにネゲートされる。逆に、内蔵カウンタの値が0以外、つまり未処理のリフレッシュが存在するならば、リフレッシュカウンタRFCNTはリフレッシュリクエスト信号RFRQをハイの状態に維持して、リフレッシュ要求を継続する。リフレッシュカウンタRFCNTの構成は特に限定はしないが、例えば米国特許6,028,804号に記載されるものと同様のアップダウンカウンタを用いて実現すればよい。

【0036】具体的にライトアクセスキャッシュミスとリフレッシュが同時に起こった場合で説明する。メモリバンクBANK4に対するライトバックアクセスと同時にリフレッシュ信号RFが発生した場合、メモリライトリクエスト信号MWRQ[4]と、リフレッシュリクエスト信号RFRQがハイにドライブされアクセスアービタACCESS ARBITERに入力される。このときアクセスアービタACCESS ARBITERによって外部アクセス要求信号EREQ#はロウにドライブされ、アクセスセクタ信号ASELはハイにドライブされる。またリフレッシュ制御信号RFSIG#とリフレッシュアクノリッジ信号RFACK#はハイにドライブされる。したがって、ライトバックアクセスが優先的に処理される。リフレッシュアクノリッジ信号RFACK#はハイにドライブされているので、内蔵カウンタの値はデクリメントされず0にならない。すなわち、リフレッシュリクエスト信号RFRQは、ハイにドライブされた状態を維持して、リフレッシュ要求を継続する。

【0037】この未処理のリフレッシュ要求は、メモリバンクBANK4に対する外部アクセス要求がないアイドル状態の時に実行する。アクセスアービタACCESS ARBITERはリフレッシュリクエスト信号RFRQがハイの状態を受

け、リフレッシュ制御信号RFSIG#をロウにドライブし、外部アクセス要求信号EREQ#をハイにドライブし、アクセスセクタ信号ASELをロウにドライブする。このときマルチプレックサMUXによってリフレッシュアドレスRFA DD[5:0]が選択され、メモリバンクBANK4のリフレッシュ動作が実行される。さらにアクセスアービタACCESS ARBITERによって、ロウにドライブされたリフレッシュアクノリッジ信号RFACK#がリフレッシュカウンタRFCNTに入力され、リフレッシュカウンタRFCNTの値をデクリメントすることでリフレッシュ要求が完了する。

【0038】以上のように制御することで、リフレッシュ動作によって外部アクセスが遅延されることのない使い勝手のよいメモリが実現できる。

【0039】また本実施例における連続ライトアクセスキャッシュミスの場合のアクセスパターンを図5のタイミングチャートを用いて説明する。

【0040】本発明の実施例のようにキャッシュラインをサブライン化し、それぞれにバリッドビットとダーティビットを設置した場合には、ライトアクセスキャッシュミス時にバリッドビットを無効化してキャッシュライン内のデータの一貫性を維持する。図5において、#1のタイミングでは、バンク8へのライトアクセスと、バンク4へのリフレッシュ動作が同時に発生した場合を示している。このときアクセス対象のエントリにはバンク4のデータが存在し、ダーティビットがセットされているので、ライトアクセスキャッシュミスとなる。したがってバンク4へはライトバックアクセスが発生し、MWRQ[4]がハイにドライブされメモリコントローラMCTL4に入力される。メモリコントローラMCTL4は、ライトバックアクセスを優先的に処理し、バンク4におけるリフレッシュ動作は延期され、リフレッシュリクエスト信号RFRQはハイの状態を維持する。次の#2のタイミングで同一エントリへのライトアクセスが発生したとする。このときアクセス対象のエントリにはバンク8のデータが、ダーティビットがセットの状態が存在するので、連続してライトアクセスキャッシュミスとなる。したがって、バンク8へライトバックアクセスが発生する。ここで、本方式ではライトアクセス時にアクセス対象外のサブラインを無効化するので、従来行っていたバンク4からのフェッチ動作を必要としない。したがって、#2におけるライト

【0041】以上の説明から分かるとおり、本実施例のような構成をとることで、リフレッシュ動作によって外

部アクセスが遅延されることのない使い勝手のよいメモリが実現できる。またリードアクセス、ライトアクセスともにキャッシュのヒット判定からデータの入出力までを1クロック内で実行することで、本実施のメモリは外部から一般的なSRAMのようにアクセスすることができる。

【0042】また、本実施例によれば、従来の手法ではリフレッシュ隠蔽ができなかった、キャッシュラインのデータ幅と外部データバス幅が異なる構成においても、少量のハードウェアの追加でリフレッシュ動作を隠蔽することができる。すなわち、キャッシュラインを分割した数の分だけ、データ管理用バリッドビットやダーティビットを追加するのみで良い。またこの際DRAM部分のワード線やビット線の構成に変更はないので、キャッシュミス時のDRAMからの読み出し、書き込み速度の低下の問題もない。

【0043】以上の本実施例によると、データ部が複数のサブラインDATA3~DATA0を有し、また、複数のサブラインDATA3~DATA0のそれぞれに対応するバリッドビットV3~V0とダーティビットD3~D0を有する構成とすることによりキャッシュミスによってアクセスが発生するバンク以外のバンクは、各バンクのメモリコントローラでリフレッシュ動作が実行できるため、リフレッシュを隠蔽することが可能となる。ここで、バリッドビット又はダーティビットの数は、複数のサブラインの数と同じとすること、または、内部データバスのデータ幅をA、サブラインの数をN、外部データバスのデータ幅をBとした場合、 $A=N \cdot B$ を満たすようにすると使い勝手がよい。一方、リフレッシュ動作とバンクへのアクセス要求が同時に発生した場合には外部アクセスを優先的に処理し、リフレッシュ動作はバンクにアクセス要求がないアイドル状態になった際に実行するようにメモリコントローラで制御することで、外部アクセスがリフレッシュ動作によって遅延されることのない使い勝手のよいメモリが実現できる。

【0044】以上、実施例に基づき具体的に説明してきたが、本実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々の変更が可能である。例えば、1BANK分のキャッシュメモリの例で示したが、その容量は特に限定されない。1BANK以上の容量で構成されてもよい。またキャッシュメモリのラインサイズ、エントリ数等も特に限定されない。サブラインのデータ幅や外部データバス幅、サブラインの分割数も特に限定されないし、それらの関係も本願の要旨を逸脱しない範囲で変更が可能である。さらに、DRAMアレイDRAMARYの構成も特に限定しない。またキャッシュメモリCACHMEMのメモリセル構造も特に限定しない。ポリ抵抗あるいはTFTを用いたSRAMメモリセル、または4つのトランジスタもしくは6つのトランジスタを用いたCMOS SRAMメモリセルでもよい。またDRAMアレイDRAMARYのメモリセルも特に限

定しない。キャパシタを用いた1トランジスタセルあるいは1トランジスタプレーナ型メモリセル、2トランジスタ型メモリセル、3トランジスタ型メモリセルでもよいことはいうまでもない。

【0045】またアプリケーションによっては、外部アクセスを遅延させてもよい場合、すなわちリフレッシュ隠蔽を必要としない場合もあるが、その場合にも本実施のメモリが適用できることはいうまでもない。

<実施例2>図6は、本発明のRFDRAMにおける第2の実施例である。本実施例のキャッシュメモリは、ダイレクト

マップ方式により制御される。実施例1との主な違いは、外部データバスEDATA[127:0]と内部データバスDa[127:0]、Db[127:0]が等しいことである。つまり、DRAMアレイDRAMARYの入出力されるデータ幅、キャッシュラインのデータ幅及び外部データバスEDATA[127:0]のデータ幅を等しくする。上記の構成とすることにより、キャッシュラインをサブラインに分割する必要がないので、タグメモリTAGMEMを構成するバリッドビットとダーティビットは1ビットずつでよい。またデータ管理の最小単位がキャッシュラインのデータ幅と等しくなるので、キャッシュデータ制御信号CDSIG[3:0]、メモリデータ制御信号MDSIG[3:0]は省略できる。またマルチプレックスMUXに入力するデータセレクト信号DSELの代わりに、アドレス一致信号MATCHを使用している。

【0046】次に実施例2におけるメモリ動作を説明する。基本的な動作は実施例1と同様なので、詳細は省略し、ここではリードアクセスキャッシュミスと、ライトアクセスキャッシュミスを説明する。

【0047】リードアクセスキャッシュミス外部入力アドレスの上位アドレスADD[16:10]と、アクセス対象のタグアドレスTAGの値が異なった場合、もしくはバリッドビットがリセットされていた場合はキャッシュコントローラCACHCTLがキャッシュミスと判定する。ここで、アクセス対象のエントリのダーティビットがリセットされている場合は、DRAMアレイDRAMARYに対してリードアクセスを実行して所望のデータを外部データバスEDATA[127:0]に出力する。またアクセス対象のエントリに対して、フェッチオンライトを実行する。

【0048】次にダーティビットがセットされている場合は、データの一貫性維持のためライトバック動作を行う。さらにDRAMアレイDRAMARYに対してリードアクセスを実行し、所望のデータを出力し、さらにそのデータはアクセス対象のエントリにフェッチオンライトする。

【0049】以上の動作がリードアクセスキャッシュミスである。本実施例では、キャッシュラインがサブライン化されていないので、ライトバックすべきキャッシュラインデータを判別する必要はない。同様にフェッチオンライトの際にも、フェッチすべきキャッシュラインデータを判別する必要はない。またリードアクセスキャッシュミスにおいて、リードアクセス対象のバンクと、ラ

イトバック対象であるバンク以外のすべてのバンクは、アクセスのないアイドル状態なのでリフレッシュ動作が実行できる。もちろんそれらの外部アクセスと、リフレッシュ動作が同時に発生した場合は、図4に示したようなメモリコントローラを用いることで外部アクセスを優先的に処理し、その後リフレッシュ動作を実行すればよいことはいうまでもない。

【0050】ライトアクセスキャッシュミス比較器CMPにおいて上位アドレスADD[16:10]とタグアドレスTAGのアドレス比較を行った結果、アドレスが不一致の場合はキャッシュミスと判定される。ここでアクセス対象のエントリのダーティビットがリセットされている場合は、外部入力データをデータメモリDATAMEMにライトし、バリッドビットおよびダーティビットをセットする。キャッシュラインデータ幅がデータ管理の最小単位であるので、キャッシュミス時にDRAMアレイDRAMARYからのフェッチオンライトは必要ない。したがってダーティビットがリセットの場合にはすべてのバンクがアイドル状態になるので、リフレッシュ動作が実行できる。

【0051】次にアクセス対象のダーティビットがセットされている場合は、データが変更されているのでデータ一貫性維持のためにライトバックする必要がある。このときキャッシュコントローラCACHCTLは外部入力データをデータメモリDATAMEMにライトし、バリッドビットおよびダーティビットをセットする。外部データバスEDATA[127:0]とキャッシュラインのデータ幅が等しいので、DRAMアレイDRAMARYからのリードおよびフェッチオンライトは必要ない。したがってライトバックが発生するバンク以外のバンクは、アクセスのないアイドル状態になるのでリフレッシュ動作が実行できる。またライトバック対象のバンクは、その後アイドル状態になった際にリフレッシュ動作を行えばよいことはいうまでもない。さらにリフレッシュ動作とライトバックアクセスが同時に発生した場合も、図4に示したようなメモリコントローラを用いることで外部アクセスを優先的に処理し、その後リフレッシュ動作を実行すればよいことはいうまでもない。また本実施例におけるタイミングチャートは図5と同様なのでここでは省略する。

【0052】以上の説明から分かる通り、本実施例においては、ライトアクセスキャッシュミス時にDRAMアレイDRAMARYからフェッチオンライトのためのリードアクセスは必要ない。したがってDRAMアレイDRAMARYにおいて、同一バンクへの連続アクセスが回避される。よって本実施例においては、ある一つのバンクに対して必ずアイドル状態が存在するので、リフレッシュ動作が実行でき、外部アクセスが遅延されることのない使い勝手のよいメモリが実現できる。

【0053】また、本実施例によれば、複数のメモリバンクのデータ幅、キャッシュラインのデータ幅及び外部データバス幅を等しいデータサイズにするだけでよいの

で、容易にリフレッシュを隠蔽したメモリが実現できる。

【0054】以上の実施例ではクロックCLKやアドレスストロブ信号ADS#、ライトイネーブル信号WE#等の制御信号の一部は省略してあるが、図を見やすくするための処置であって上記で説明したような制御を実現するように適所に入力すればよいことはいうまでもない。その他、各制御信号のタイミングやメモリコントローラMCTLも実施例1と同様に制御することで、図5のような動作が実現できることはいうまでもない。さらに本実施例において、実施例1と同様にキャッシュメモリの容量やラインサイズ、エントリ数も特に限定されない。もちろんDRAMアレイドRAMARYの容量や、バンク数も本実施例の構成に限定されるものではない。＜実施例3＞図7は、本発明のRFDRAMにおける第3の実施例である。実施例1および実施例2との主な違いは、キャッシュメモリCACHMEMが複数のタグメモリTAGMEMa及び、タグメモリTAGMEMbと、複数のデータメモリDATAMEa及び、データメモリDATAMEbから構成される点である。またキャッシュメモリの制御方法としてセットアソシアティブ方式を用いており、キャッシュヒットの判定方法が異なる。さらにライトバッファWBUFFER、ライトバックバッファWBB、ヒットウェイ信号HITWAY、ウェイセクタ信号WAYSEL、ライトタグアドレスバスWTADD等が設けられている。

【0055】一方、キャッシュラインをサブライン化する必要がないので、キャッシュデータ制御信号CDSIG[3:0]、メモリデータ制御信号MDSIG[3:0]が必要なのは、実施例2と同様である。また、データ管理のためのバリッドビットとダーティビットはキャッシュライン毎に1ビットずつしかない点も実施例2と同じである。

【0056】本実施例の基本的な動作は、実施例1および実施例2と同様なので、ここではライトアクセスキャッシュミス为例に説明し、その他は省略する。

【0057】ライトアクセスキャッシュミス本実施例では、キャッシュメモリCACHMEMは複数のウェイからなり、図7では2ウェイセットアソシアティブの例を示し、各ウェイは1バンク分の容量を有している。ウェイaは、タグメモリTAGMEMaとデータメモリDATAMEaから構成され、ウェイbはタグメモリTAGMEMbとデータメモリDATAMEbから構成され、それぞれのウェイで比較器CMPを有する。外部アドレスバスEADDR[16:0]からアドレスが入力され、参照されたエントリのタグアドレスと比較器CMPで比較される。それぞれの比較器CMPは、参照されたタグアドレスTAGと外部入力アドレスを比較し、前記アドレスが一致した場合、アドレス一致信号MATCHa、もしくはアドレス一致信号MATCHbをハイにドライブしキャッシュコントローラCACHCTLに入力する。ここでは、いずれのウェイにも所望のデータがなくアドレス不一致、すなわちキャッシュミスと判定されたとする。この場合、どちらかのウェイに存在するデータを置換する必要がある

が、そのアルゴリズムには、例えばLRU(Least Recently Used)アルゴリズムを利用すればよい。

【0058】置換対象となったキャッシュラインのダーティビットがセットされていない場合は、外部入力データを所望のウェイのキャッシュラインにライトする。このときキャッシュライン内のデータ一貫性を維持するために、DRAMアレイドRAMARYからリードしたデータを外部入力データとともにライトバッファWBUFFERに入力する。キャッシュコントローラCACHCTLはウェイセクタ信号WAYSELとしてウェイaが置き換え対象であることを表す“0”を出力し、セクタSELに入力する。このように制御することで、ライトバッファWBUFFERに入力された外部入力データとDRAMアレイドRAMARYからフェッチデータは、セクタSELを経由してウェイaに入力され、所望のキャッシュラインにライトされる。またキャッシュコントローラCACHCTLはタグライト信号TWaをハイにドライブして、上位アドレスADD[16:10]をタグメモリTAGMEMaにライトする。

【0059】次に置換対象となったエントリのダーティビットがセットされている場合は、前記エントリのデータをライトバックする必要がある。すなわちキャッシュコントローラCACHCTLはウェイaのキャッシュラインデータをデータメモリDATAMEaからリードして、ライトバックバッファWBBに入力する。このとき、置換対象となったバンクアドレスは、ライトタグアドレスバスWTADDを経由し、バンクデコーダBANKDECに入力され、バンクアドレスがデコードされる。ライトバックバッファWBBには、ウェイセクタ信号WAYSELのウェイaが置き換え対象であることを表す“0”が入力され、データメモリDATAMEaからのデータが、DRAMアレイドRAMARYにライトバックされる。以上のように制御してライトバックを行う。外部入力データとフェッチデータのライト動作は前述の通りである。

【0060】以上がライトアクセスキャッシュミスの動作である。本実施例では、キャッシュミス時にDRAMアレイドRAMARYからのフェッチオンライト動作が必要となるが、複数のウェイを持つことで、バンクに対する連続アクセスは回避される。

【0061】図8に本実施例の動作を示すタイミングチャートの一例を示し、外部アクセスとリフレッシュ動作の説明をする。図8において、#1のタイミングでは、ライトアクセスが発生し、二つのウェイのいずれにも所望のデータがなくキャッシュミスが発生していることを示している。さらに#1のタイミングでバンク4にリフレッシュ要求が発生している。この場合、置換対象のウェイのキャッシュラインデータがダーティなので、バンク4にはライトバックアクセスが発生し、バンク8にはフェッチオンライトのためのリードアクセスが発生する。したがってバンクへのアクセスが優先的に処理されるので、リフレッシュ動作は延期される。次に#2のタイミン

グで、ライトアクセスが発生している。同様にアクセス対象のエントリには、所望のデータがなくキャッシュミスが発生し、バンク4に対してフェッチオンライトのためのリードアクセスが発生する。このときバンク8にはライトバックアクセスは発生しない。なぜなら、バンク8のデータがあるウェイ a は、直前に置換されているので、#2ではもう一つのウェイ b が置換対象になるためである。したがって、#1のタイミング同様、バンク4のリードアクセスが優先的に処理され、リフレッシュは延期される。次に#3のタイミングでライトアクセスが発生したとする。このときのバンク8のデータはすでにキャッシュメモリに存在するため、ヒットと判定される。したがってDRAMアレイDRAMARYへのアクセスは発生しない。もちろん#3でのライトアクセスのバンクアドレスが8以外の場合は、バンク8へのライトバックアクセスが発生するが、バンク4にはアクセスが発生しないのでリフレッシュ動作が実行できる。

【0062】以上の説明の通り、本実施例のように複数のタグメモリとデータメモリを有するセットアソシアティブ方式でキャッシュメモリを制御することで、同一バンクへの連続アクセスが回避される。よって本実施例においては、ある一つのバンクに対して必ずアイドル状態が存在しうるので、リフレッシュ動作が実行でき、外部アクセスがリフレッシュ動作によって遅延されることのない使い勝手のよいメモリが実現できる。

【0063】なお、本実施例によれば、キャッシュラインのデータ幅と外部データバス幅が異なる構成においても、リフレッシュが隠蔽できる。

【0064】また、以上の実施例では、クロックCLKやアドレスストロブ信号ADS#、ライトイネーブル信号WE#等の制御信号の一部は省略してあるが、図を見やすくするための処置であって上記で説明したような制御を実現するように適所に入力すればよいことはいうまでもない。その他、各制御信号のタイミングやメモリコントローラMCTLも実施例1と同様に制御することで、図8のような動作が実現できることはいうまでもない。さらに本実施例において、キャッシュメモリの容量やラインサイズ、エントリ数、ウェイ数も特に限定されない。もちろんDRAMアレイDRAMARYの容量や、バンク数も本実施例の構成に限定されるものではない。

【0065】さらに上記実施例ではキャッシュラインを分割しない例を示したが、実施例1のようにキャッシュラインを分割してサブライン化し、キャッシュメモリの制御をセットアソシアティブ方式にしてもよい。例えば、メモリバンクBANK0のデータ幅をA、キャッシュラインの分割数をN、外部データバス幅をCとした場合に、 $A = N \cdot C$ となるように構成することができる。また外部データバス幅Aとキャッシュラインのデータ幅Bを等しくして、セットアソシアティブ方式でキャッシュメモリを制御してもよい。その他、リフレッシュ動作

によって外部アクセスが遅延されることのないように制御するのであれば、それぞれの方式の一部あるいは全部を選択して構成することにより、さまざまな構成が実現できることはいうまでもない。

【0066】以上の実施例1～3では、いずれもキャッシュメモリのライト制御として、ライトバック方式の例を示したが、キャッシュメモリとDRAMアレイの両方にデータを書きこむように本メモリを実現しても良い。この場合、キャッシュヒット時にもDRAMアレイへのライトアクセスが発生し、リフレッシュ動作と競合する時があるが、その場合、例えばキャッシュメモリのみに、データをライトするように、キャッシュコントローラによって制御すれば良い。変更されたキャッシュメモリのデータは、キャッシュミス時に改めてライトバックすれば良い。なお外部データをDRAMアレイにライトするような制御や、外部アクセス発生時にDRAMアレイへのリフレッシュ動作の有無を検出するように、本メモリを制御する必要があるが、通常の回路技術を用いて簡単に変更できる範囲なので、ここでは説明を省略する。

【0067】なお、実施例1～3において、キャッシュメモリ部分を複数のバンクをもつDRAMと、その1バンク分の容量に等しいSRAMキャッシュメモリに置きかえる2重構造にして、面積の低減を図るなどの変形も可能である。また上記では、DRAMとSRAMキャッシュメモリを組み合わせた例を説明したが、本発明はこれに限らず、DRAM部分をリフレッシュ不要な他のメモリセルに、SRAM部分をリフレッシュ不要な他のメモリセルに置き換えても、リフレッシュが隠蔽されたメモリが実現できる。

【0068】さらに、実施例1～3におけるRFD RAMは、他の演算回路とRFD RAMを一つの半導体チップ上に形成した場合にも適用できる。その場合において、外部データバスEDATA[31:0]とは、他の演算回路とRFD RAMを接続するデータバスを示し、外部アクセスとは同一半導体チップに形成された他の演算回路からのアクセスのことを示す。また、本実施例のRFD RAMと他の演算回路等を異なる半導体チップに形成してもよいことは言うまでもない。この場合は、外部データバスとは、RFD RAMにデータを入力出力するためのバスを指す。例えば、コンピュータシステムにおいては、CPUとRFD RAMを接続するバスを指す。

【0069】以上の実施例による作用効果の主なものは以下の通りである。

(1) キャッシュラインをサブラインに分割し、それぞれのサブラインにデータ管理ビットである、バリッドビットとダーティビットを設けることで、ライトアクセスキャッシュミス時に、アクセス対象外のサブラインを無効化するように制御でき、また、DRAMアレイからのフェッチ動作を不要とできるためDRAMアレイにアクセスのないアイドル状態を形成できる。このアイドル状態のときに、メモリコントローラによってリフレッシュ動作を実

行することで、外部アクセスがDRAMアレいのリフレッシュ動作によって遅延されることのない使い勝手のよいメモリが実現できる。

(2) 外部データバス幅と、キャッシュラインのデータ幅を等しいサイズとすることで、DRAMアレいからのフェッチ動作を不要とできアクセスのないアイドル状態を形成できる。すなわち外部アクセスがDRAMアレいのリフレッシュ動作によって遅延されることのない使い勝手のよいメモリが実現できる。

(3) キャッシュメモリの制御をセットアソシアティブ方式で制御することで、外部アクセスがDRAMアレいのリフレッシュ動作によって遅延されることのない使い勝手のよいメモリが実現できる。

(4) メモリセルにDRAMと少量のSRAMを用いることで、6トランジスタSRAMに比べてチップ面積の小さいメモリが実現できる。

【0070】

【発明の効果】本発明の主な効果によると、リフレッシュ動作によって外部アクセスが遅延されることのない使い勝手のよいメモリが実現できる。すなわちリフレッシュが隠蔽されたSRAM互換性を有するメモリを実現できる。

【図面の簡単な説明】

【図1】本発明の実施例を示す図である。

【図2】本発明のリフレッシュフリーダイナミックメモリの動作を示すフローチャートである。

【図3】図1の実施例におけるキャッシュメモリを示す一実施例である。

【図4】図1の実施例におけるメモリコントローラを示す一実施例である。

【図5】本発明のリフレッシュフリーダイナミックメモリによって従来の問題が解決されたことを示す動作波形の一例を示す図である。

【図6】リフレッシュを隠蔽したリフレッシュフリーダイナミックメモリの第二の実施例を示す図である。

【図7】リフレッシュを隠蔽したリフレッシュフリーダイナミックメモリの第三の実施例を示す図である。

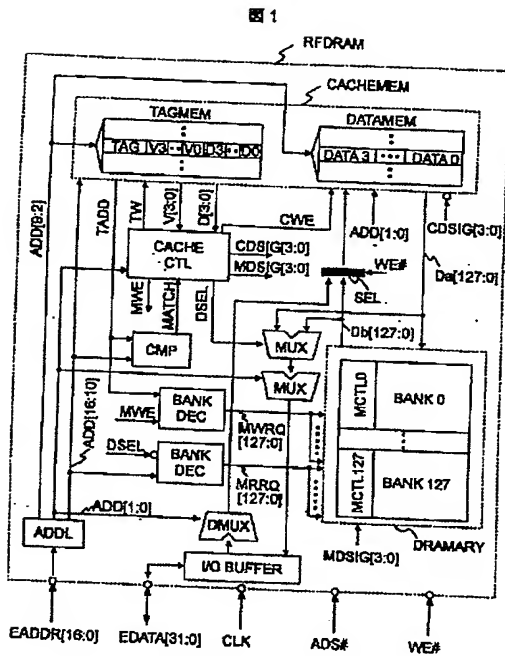
【図8】図7のセットアソシアティブキャッシュメモリを用いた、リフレッシュフリーダイナミックメモリによつ

て従来の問題が解決されたことを示す動作波形の一例を示す図である。

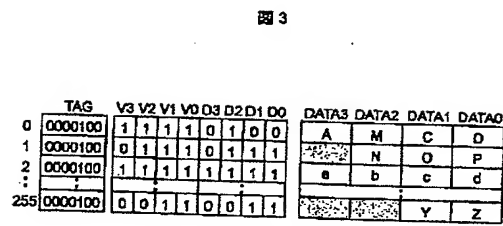
【符号の説明】

RFDRAM……リフレッシュフリーダイナミックメモリ、TAGMEM、TAGMEMa、TAGMEMb……タグメモリ、DATAMEM、DATAMEMa、DATAMEMb……データメモリ、TAG……タグアドレス、V3～V0……バリッドビット、D3～D0……ダーティビット、DATA3～DATA0……サブライン、TADD、TADDa、TADDb……タグアドレスバス、TW、TWa、TWb……タグライト信号、V[3:0]……バリッドビットバス、D[3:0]……ダーティビットバス、CWE、CWEa、CWEb……キャッシュライトイネーブル信号、WTADD……ライトタグアドレスバス、CDSIG[3:0]……キャッシュデータ制御信号、MDSIG[3:0]……メモリデータ制御信号、CACHECTL……キャッシュコントローラ、MATCH、MATCHa、MATCHb……アドレス一致信号、MWE……メモリライトイネーブル信号、DSEL……データセレクト信号、SEL……セクタ、Da[127:0]およびDb[127:0]……内部データバス、CMP……比較器、MUX……マルチプレクサ、BANK DEC……バンクデコード、MCTL127～MCTL0……メモリコントローラ、BANK127～BANK0……メモリバンク、DRAMARY……ダイナミックメモリアレイ、DMUX……デマルチプレクサ、I/O BUFFER……入出力バッファ、ADDL……アドレスラッチ、ADD[16:0]およびEADDR[16:0]……入力アドレス、EDATA[31:0]……入出力データ、CLK……クロック、ADS#……アドレスストロブ信号、WE#……ライトイネーブル信号、RF……リフレッシュ信号、RFRQ……リフレッシュリクエスト信号、RFACK#……リフレッシュアクリッジ信号、RFADD[5:0]……リフレッシュアドレス、RFCNT……リフレッシュカウンタ、RFADDCNT……リフレッシュアドレスカウンタ、ACCESS ARBITER……アクセスアービタ、ASEL……アクセスセクタ、EREQ#……外部アクセス要求信号、RFSIG#……リフレッシュ制御信号、MEMORY SEQUENCER……メモリシーケンサ、RAS#……ロウアドレスストロブ信号、CAS#……カラムアドレスストロブ信号、BWE#……バンクライトイネーブル信号、ROWDEC……ロウデコード、COLDEC……カラムデコード、SA&MUX……センスアンプおよびマルチプレクサ、MEMARY……メモリアレイ。

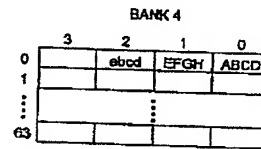
【図1】



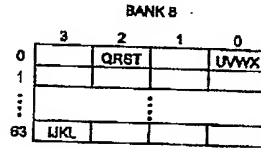
【図3】



(a)



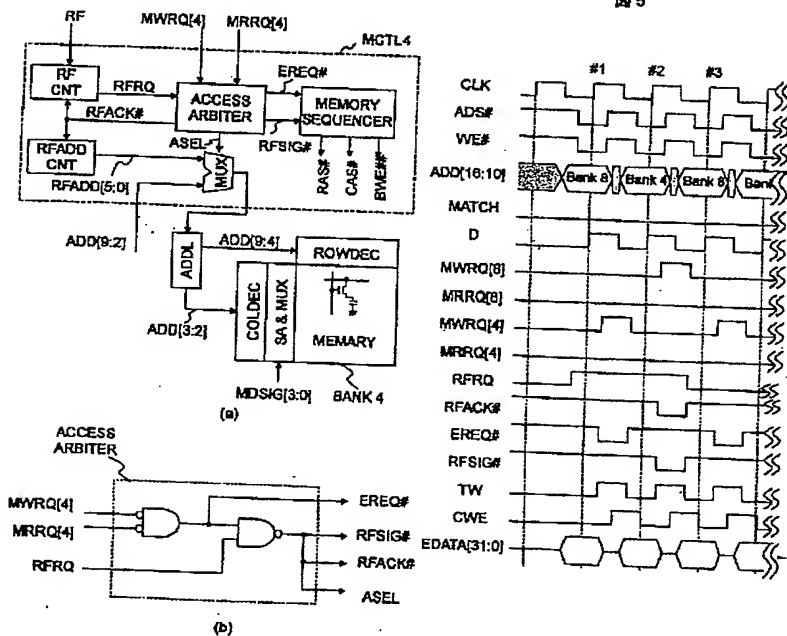
(b)



(b)

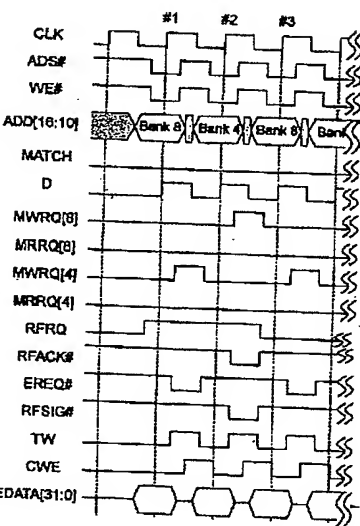
【図4】

図4



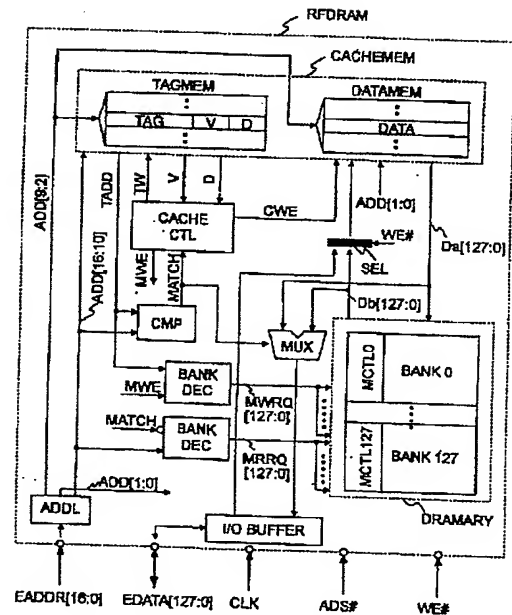
【図5】

図5



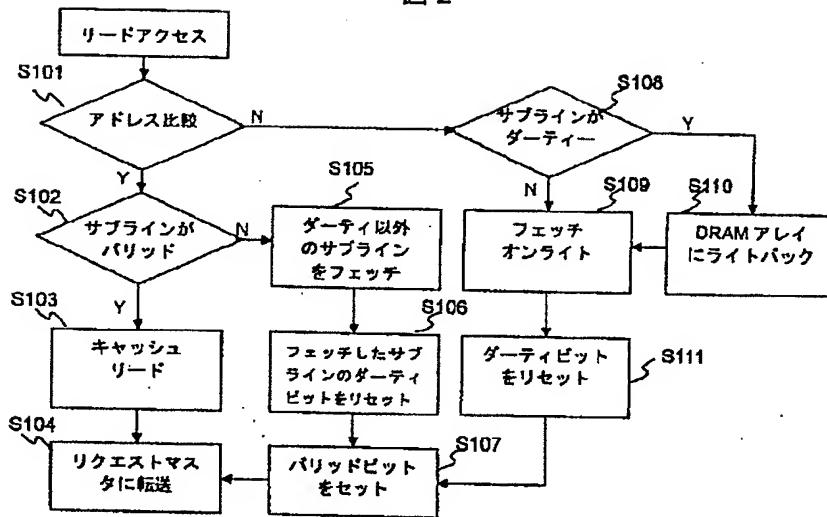
【図6】

図6

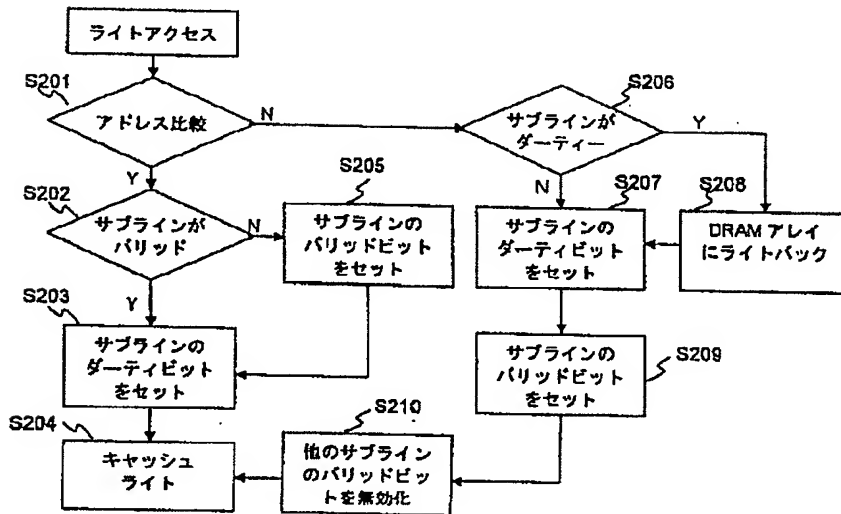


【図2】

図2



(a)



(b)

【図8】

図8

